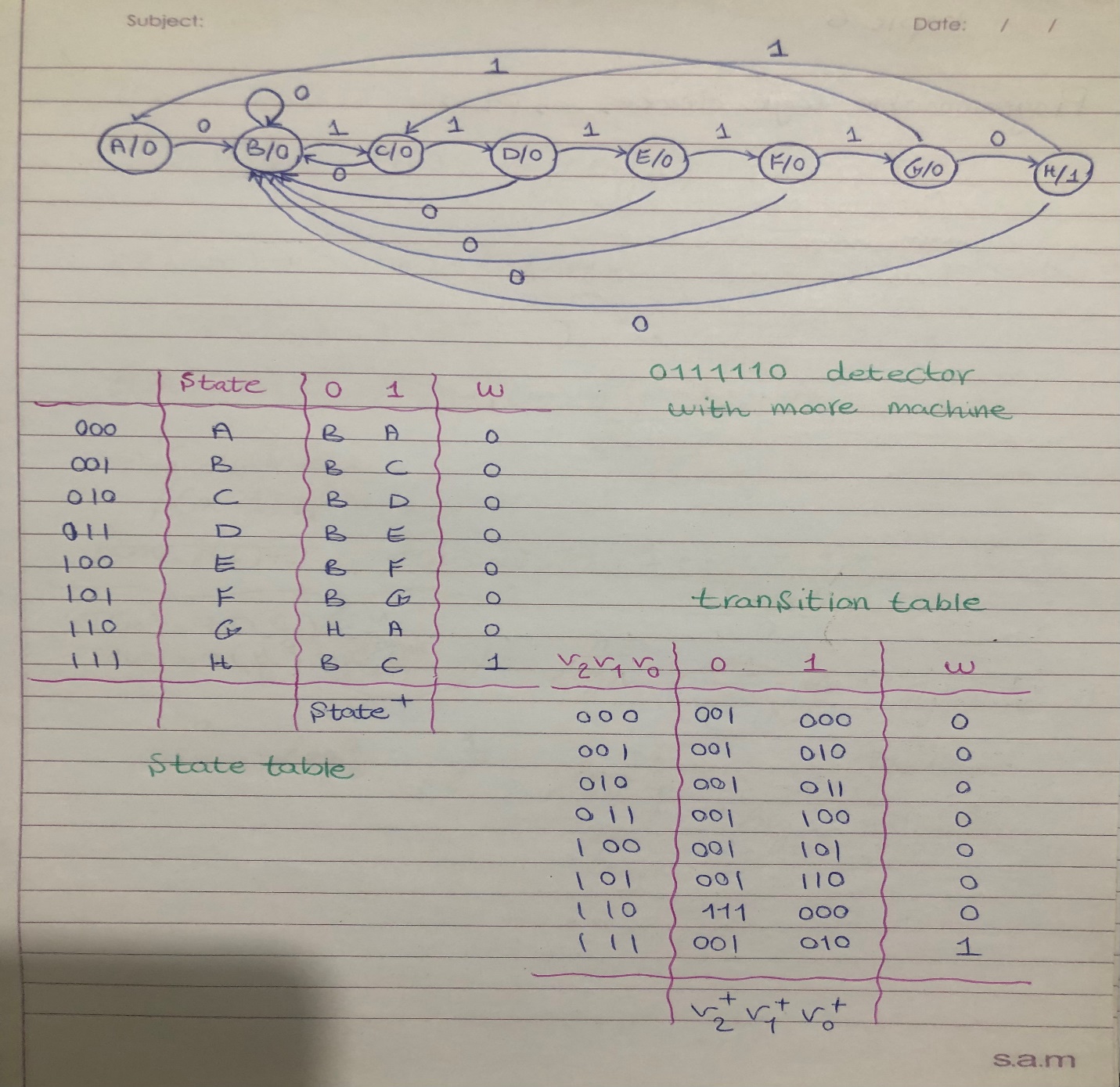
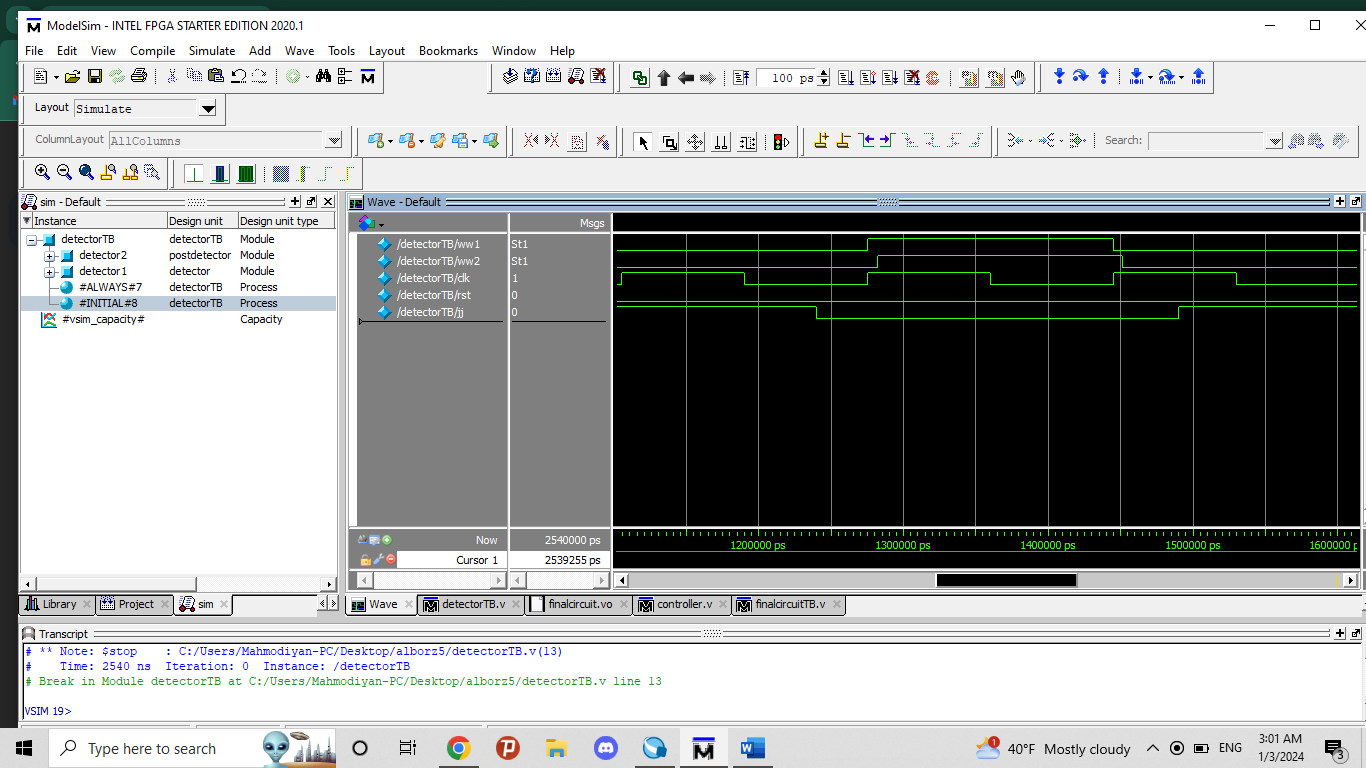
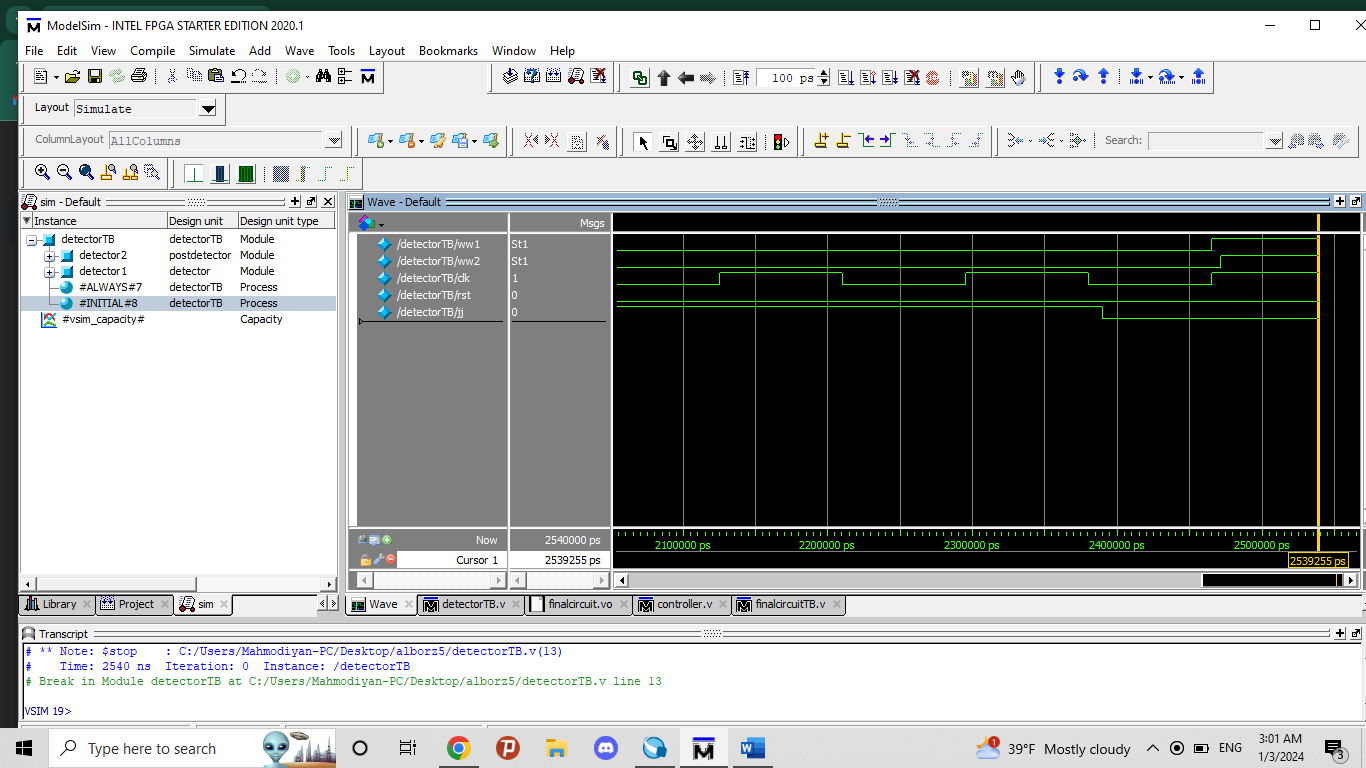
گزارش کار تمرین 5 کامپیوتری البرز محمودیان 810101514

برای بخش a و طراحی detector ابتدا از moore machine کمک گرفته و state digram را مانند شکل زیر به دست می اوریم و با توجه به state ها کد Verilog مربوط به انرا می زنیم و detector طراحی شده را synthesis میکنیم و تست بنچی می زنیم تا بتوانیم این دو detector را با هم مقایسه کنیم:



با نگاه کردن به wave ها می توان نتیجه گرفت که کد synthesis شده توسط quartus نسبت به کد اصلی کمی delay دارد که در شکل زیر این تاخیر قابل مشاهده می باشد :



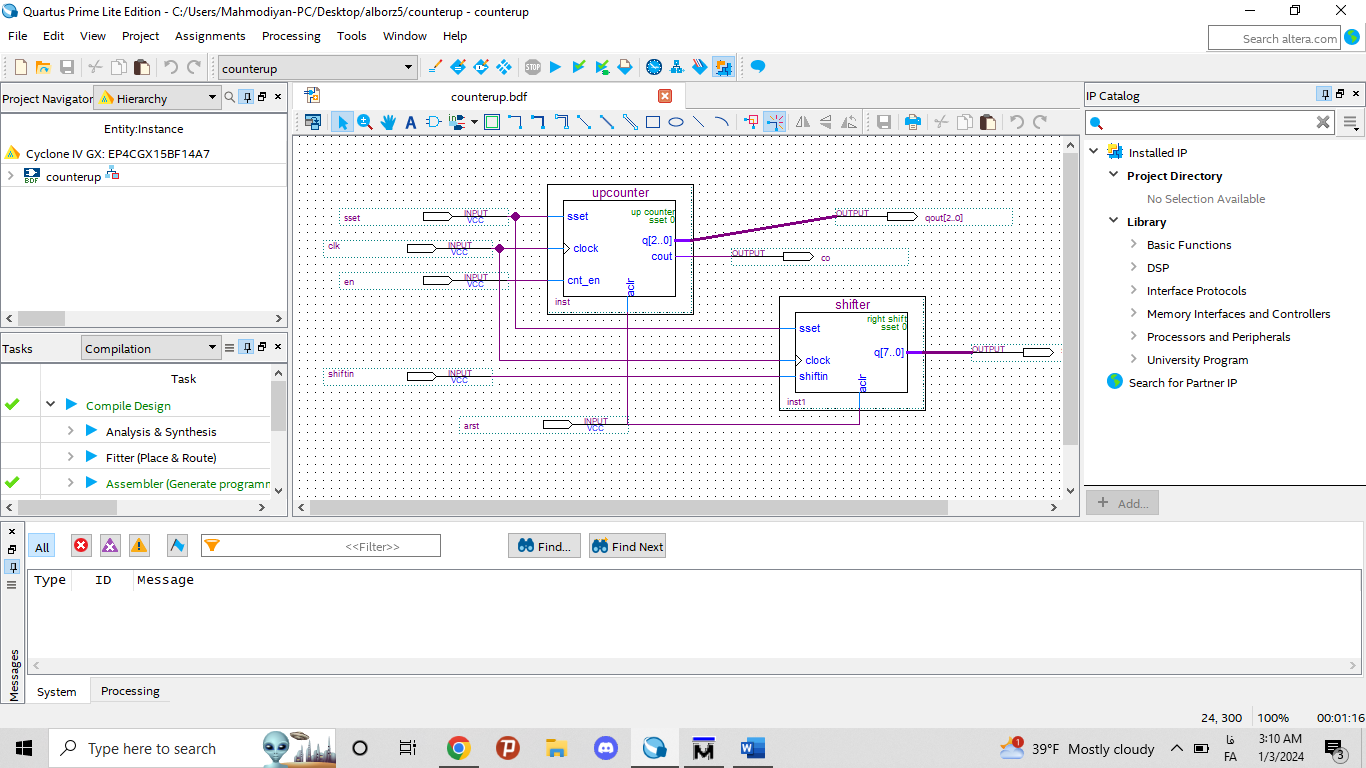


همچنین برای detector خود یک symbol ایجاد می کنیم تا در قسمت d بتوانیم از detector خود در مدار به همراه کنترلر استفاده کنیم.

می توانیم در Quartus با رفتن به بخش tool و سپس chip planner به floorplan زیر دست پیدا می کنیم :

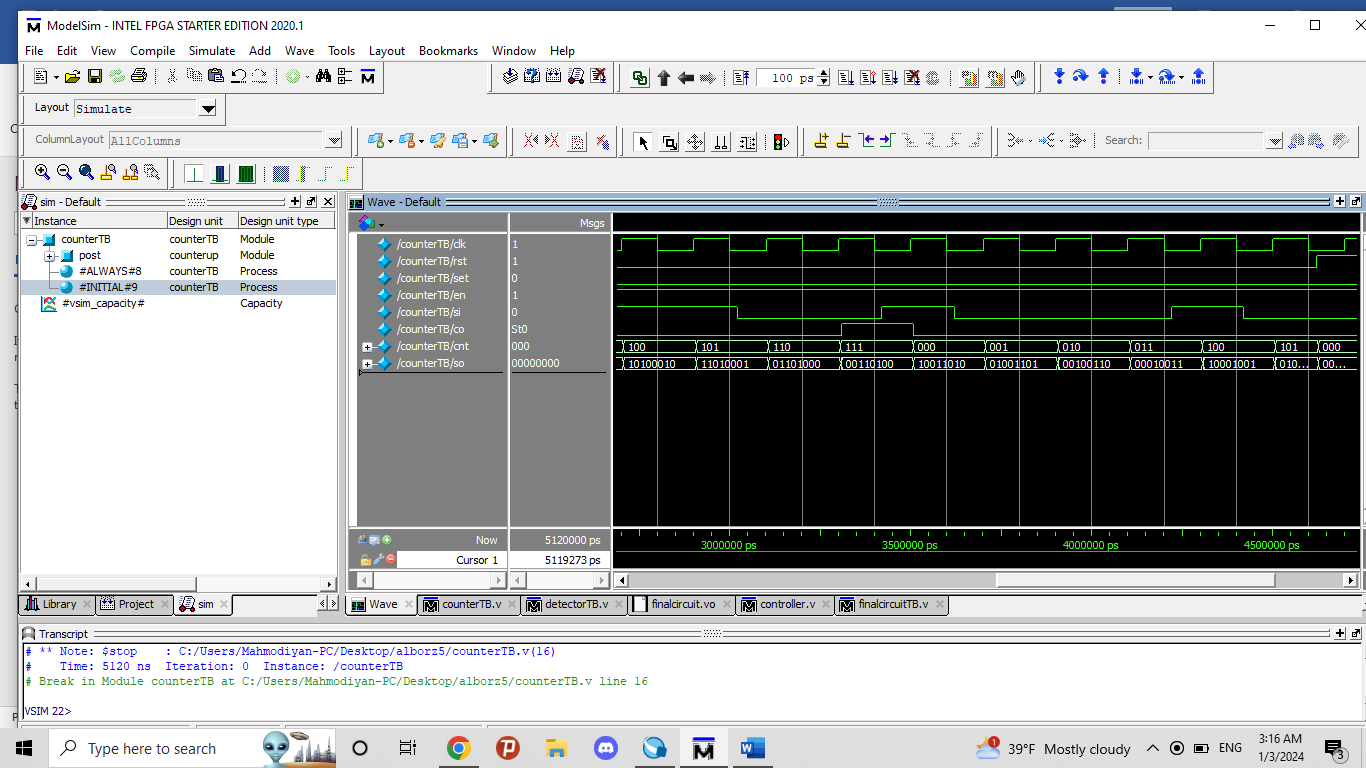
و همچنین می توانیم با رفتن به بخشnetlist viewer نت لیست زیر را مشاهده کنیم:

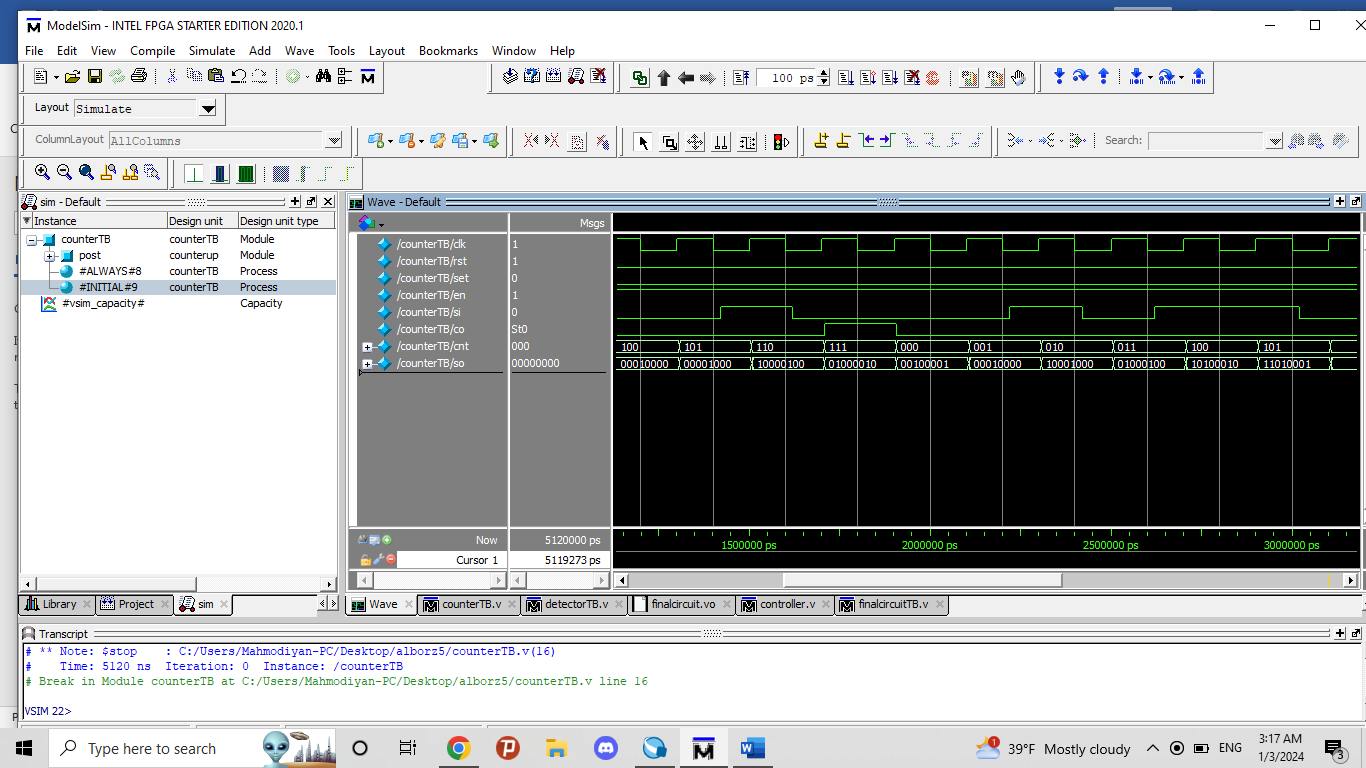
برای بخش b درquartus با کمک گرفتن از library موجود یک counter و یک shiftregister می سازیم که خودمان ان ها را custom می کنیم با توجه به نیاز هایمان و خواسته های سوال و ورودی و خروجی های ان را تنظیم می کنیم و پس از compile کردن ان می توانیم برای کل block یک symbol بسازیم تا از ان در بخش d استفاده کنیم:



که برای floor\_plan و همینطور netlist مانند بخش قبل عمل می کنیم که در تصاویر زیر قابل مشاهده است:

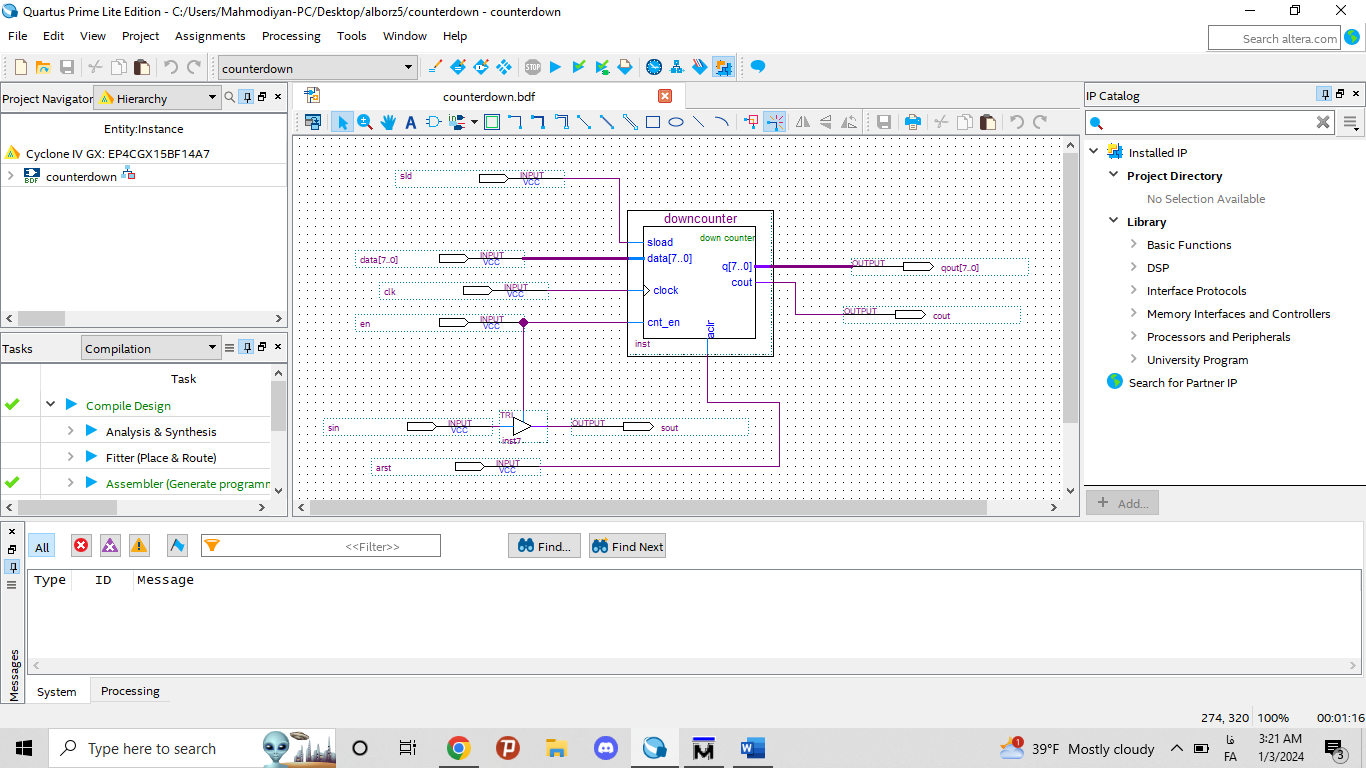
همچنین با استفاده از تست بنچی که برای کد senthesis شده upcounter و shiftregister می توانیم نحوه عملکرد این block را در wave زیر مشاهده کنیم که می بینیم با هر clock یک بیت از ورودی به داخل shift register شیفت داده می شود که در تصویر زیر قابل مشاهده است:





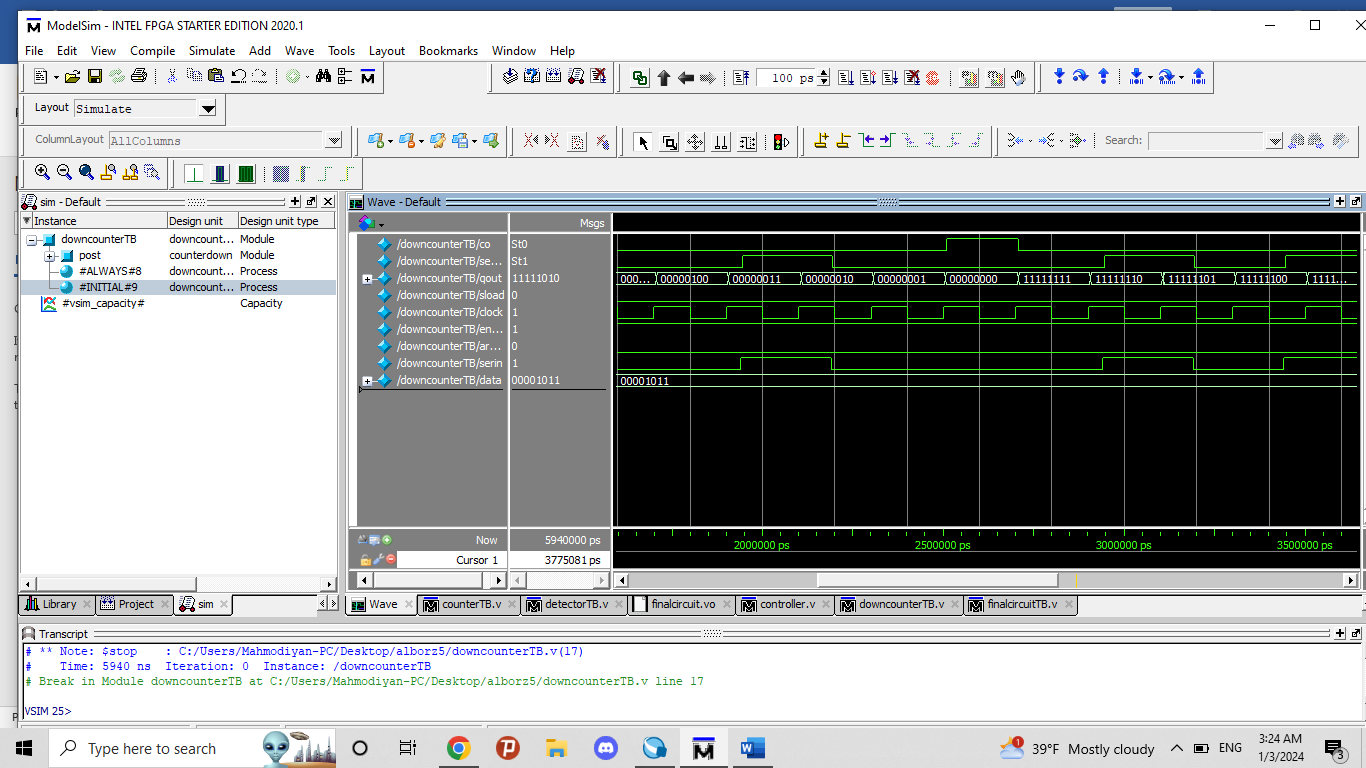
همچنین مشاهده می شود که counter ما 8 modulo counter است و تنها 8 clock می شمارد و پس از اینکه به 111 می رسد دوباره به مقدار اولیه 000 init می شود.

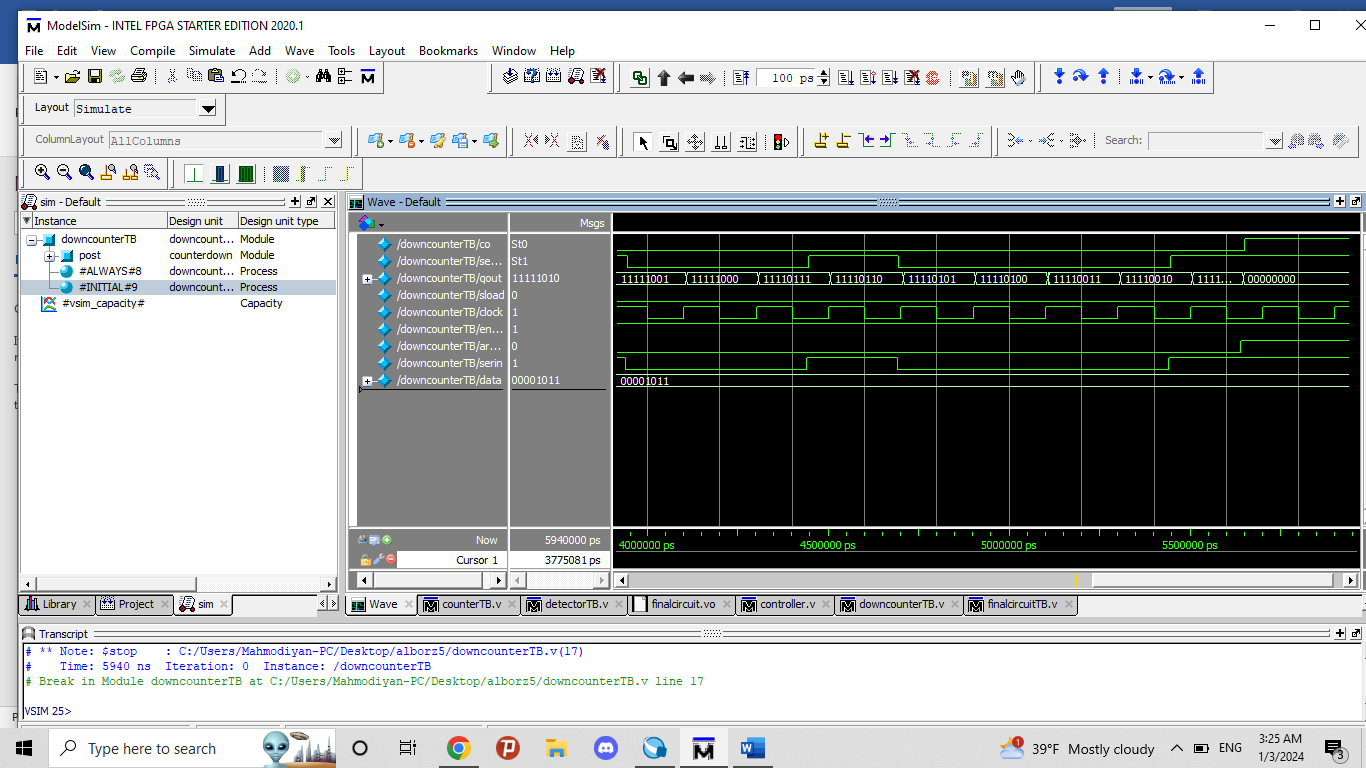
برای بخش c و ساختن transmitter از یک down counter و buffer استفاده می کنیم و ورودی و خروجی های ان را تنظیم می کنیم و پس از compile کردن ان می توانیم برای کل block یک symbol بسازیم تا از ان در بخش d استفاده کنیم:



که برای floor\_plan و همینطور netlist مانند بخش قبل عمل می کنیم که در تصاویر زیر قابل مشاهده است:

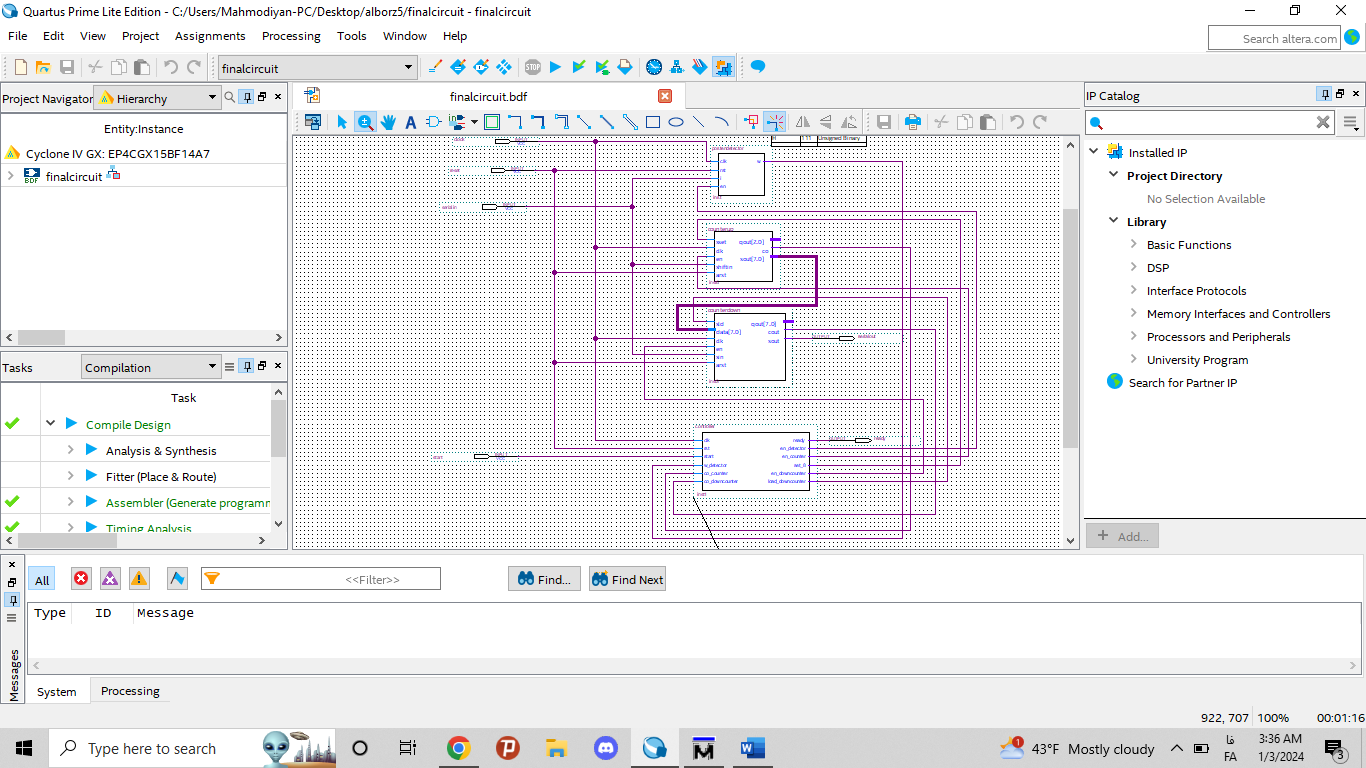
همچنین با استفاده از تست بنچی که برای کد senthesis شده downcounter زدیم می توانیم نحوه عملکرد و timing این block را در wave زیر مشاهده کنیم :





سپس برای بخش اخر نیاز به یک کنترلر داریم که ابتدا state diagram انرا رو کاغذ می کشیم تا بتوانیم کد ان را در modelsim بزنیم تا انرا توسط quartus مدل کنیم و یک symbol برای کنترلر خود با ورودی و خروجی های مورد نیاز ایجاد کنیم:

حالا الان 4 block داریم که در بخش های قبل خودمان انها را ایجاد کردیم و حالا در بخش اخر باید این 4 بلاک را به یکدیگر وصل کنیم تا توسط کنترلری که در این بخش طراحی کنیم همگی با هم کار کنند که در شکل زیر مدار نهایی قابل مشاهده است:



که برای floor\_plan و همینطور netlist مانند بخش قبل عمل می کنیم که در تصاویر زیر قابل مشاهده است:

سپس کل مدار نهایی را در quartus synthesis, می کنیم و برای ان در modelsim یک تست بنچ می زنیم تا از عملکرد ان و همچنین timing های مختلف ان با خبر شویم که می توانیم نحوه عملکرد انرا در تست بنچ نهایی مشاهده کنیم :

